

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-155863

(43)Date of publication of application : 28.05.1992

(51)Int.Cl.

H01L 27/092

H01L 27/108

(21)Application number : 02-280740

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 18.10.1990

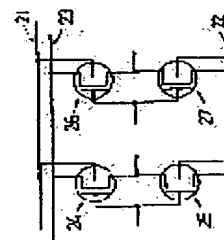
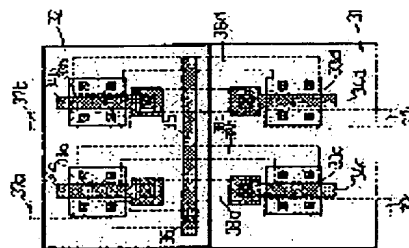
(72)Inventor : KISHIMOTO MIKIO  
KAGENISHI YUKIHIRO  
KAJITANI ATSUHIRO

## (54) CMOS TYPE SEMICONDUCTOR DEVICE

## (57)Abstract:

PURPOSE: To enhance CMOS circuits in degree of integration by a method wherein P-channel transistors different in source voltage are formed on the same N-type well when the CMOS circuits correspondent to power supply voltage systems are formed on the P-type silicon substrate.

CONSTITUTION: A P-channel transistor 24 serving as a CMOS inverter of a 5V power supply system circuit 21 of a CMOS semiconductor device is composed of an active region 33a and a gate region 34a which serve as a source and a drain respectively enabling an N-type well 32 to which a voltage of 5V is supplied from a 5V wiring region 37a through the intermediary of a well connection region 35 to serve as a substrate voltage. A P-channel transistor 26 serving as a CMOS inverter of a 3.3V power supply system circuit 23 is composed of an active region 33b and a gate region 34b which serve as a source and a drain respectively enabling the N-type well 32 to which a voltage of 5V is supplied from the 5V wiring region 37a through the intermediary of the well connection region 35 to serve as a substrate voltage. N-channel transistors 25 and 27 serving as CMOS inverters are formed on a region kept at a ground potential other than the N well 32 on a P-type silicon substrate 31.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the  
examiner's decision of rejection or application converted  
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of  
rejection][Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-155863

⑮ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月28日

H 01 L 27/092  
27/108

7735-4M H 01 L 27/08 3 2 1 K  
8624-4M 27/10 3 2 5 V

審査請求 未請求 請求項の数 3 (全9頁)

⑭ 発明の名称 CMOS型半導体装置

⑰ 特 願 平2-280740

⑱ 出 願 平2(1990)10月18日

⑲ 発 明 者	岸 本 幹 夫	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑲ 発 明 者	蔭 西 幸 博	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑲ 発 明 者	柁 谷 敦 宏	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑲ 出 願 人	松下電子工業株式会社	大阪府門真市大字門真1006番地	
⑲ 代 理 人	弁理士 前 田 弘		

明 細 書

1. 発明の名称

CMOS型半導体装置

2. 特許請求の範囲

(1) 一導電型シリコン基板と、該シリコン基板に形成され、該シリコン基板とは反対導電型のウェルと、該ウェルに形成され、前記シリコン基板と同一導電型の第1のトランジスタ及び第2のトランジスタと、前記ウェル及び第1のトランジスタのソースが接続された第1の電源線と、前記第2のトランジスタのソースが接続された第2の電源線と、前記シリコン基板の前記ウェル以外の領域に形成され、前記シリコン基板とは反対導電型の第3のトランジスタ及び第4のトランジスタと、該第3のトランジスタのソースが接続された第3の電源線と、前記第4のトランジスタのソースが接続された第4の電源線と、前記第1のトランジスタと第3のトランジスタ、及び前記第2のトランジスタと第4のトランジスタの各々が接続されたドレインと

を備え、前記第2の電源線の電位は、前記第1の電源線の電位と第3の電源線の電位との電位間に設定され、且つ第4の電源線の電位は、前記第2の電源線の電位と第3の電源線の電位との電位間に設定され、更に前記シリコン基板のウェル以外の領域の電位は、前記第3の電源線の電位であることを特徴とするCMOS型半導体装置。

(2) 第3の電源線と第4の電源線とが共通に接続されたことを特徴とする請求項(1)記載のCMOS型半導体装置。

(3) 第1の電源線と第2の電源線とが共通に接続されたことを特徴とする請求項(1)記載のCMOS型半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はCMOS型半導体装置の改良に関するものである。

(従来の技術)

近年、半導体装置、とりわけDRAM (Dynam

c Random Access Memory) の高集積化、微細化により、トランジスタのチャンネル長も縮小されてきた。チャンネル長が短くなるに従い、ホット・キャリア効果に起因するトランジスタの信頼性の劣化が問題となって来ている。信頼性の高いトランジスタを得るためには、トランジスタのソースとドレイン間の電圧差を低くすることが必要である。そこで、例えば16MビットDRAMでは、標準に用いられる電源電圧系の5Vに加えて、5Vより低い電圧、例えば3.3Vを電源電圧系を設け、これをトランジスタのチャンネル長のホット・キャリア効果が生じ易い領域に使用するなどの使い分けを行っている。

第7図はこの従来のCMOS型半導体装置の回路の一例を示す。該CMOS型半導体装置は、5V電源系CMOSインバータと、3.3V電源系CMOSインバータとの二種類の回路を有する半導体装置の回路構成図を示すものである。

同図において、1は5V電源線、2は接地線、3は3.3V電源線、4は5V電源線1と接地線

圧のN型ウエル、13a、13b、13c、13dはトランジスタの活性領域、14a、14b、14c、14dはゲート領域、15aは5V電圧のN型ウエルのウエル電圧接続領域、15bは3.3V電圧のN型ウエル12aのウエル電圧接続領域、16はコンタクト領域、17aは5V配線領域、17bは3.3V配線領域、17cは接地電圧配線領域、18a、18b、18c、18dはその他の配線領域である。

第7図の回路に示した5V電源系CMOSインバータのPchトランジスタ4は、ソース・ドレインとなる活性領域13aとゲート14aとから構成されている。また、該Pchトランジスタ4は5V配線領域17aからウエル接続領域15aを通じて5Vの電圧が供給されたN型ウエル12aを基板電圧としている。

また、3.3V電源系CMOSインバータのPchトランジスタ6は、ソース・ドレインとなる活性領域13bとゲート14bとから構成され、該Pchトランジスタ6は3.3V配線領域17bか

2間の5V電源系のCMOSインバータのPチャンネル(以下、Pchと略す)トランジスタであって、Pchトランジスタ4の基板電圧は5V電源線1に接続している。5は5V電源系のCMOSインバータのNチャンネル(以下、Nchと略す)トランジスタである。また、6は3.3V電源線3と接地線2間の3.3V電源系のCMOSインバータのPchトランジスタであって、該Pchトランジスタ6の基板電圧は3.3V電源線3に接続している。更に、7は3.3V電源系のCMOSインバータのNchトランジスタである。

第8図は、第7図に示したCMOS型半導体装置の回路を形成する場合に用いられるCMOS型半導体装置のマスク・レイアウト図である。P型シリコン基板上に独立した二つのN型ウエルを形成し、5V電源系のCMOSインバータと3.3V電源系のCMOSインバータの二種類の回路を有している。

同図において、11はP型シリコン基板、12aは5V電圧のN型ウエル、12bは3.3V電

圧のN型ウエル12aを通じて3.3Vの電圧が供給されたN型ウエル12bを基板電圧としている。

(発明が解決しようとする課題)

しかしながら前記のような従来の構成では、5V電源系のPchトランジスタ4が形成されるN型ウエル12aと、3.3V電源系のPchトランジスタ6が形成されるN型ウエル12bとの二種類の別電圧が供給されたN型ウエルがあり、これら別電圧のウエル間を分離する分離領域をレイアウト上に設ける必要がある。更に、二種類のN型ウエルの電圧を与える電源線を各々設ける必要がある。このように、別電圧のウエル間に分離領域を確保することや、ウエルの電源線を付加することによってレイアウト上の制約を受けることとなるため、これ等の点が半導体装置を高集積化する上での問題点となっていた。

本発明は斯かる点に鑑み、従来は電源系により異なっていたウエル電圧を同一とした二系統の電源系を有するCMOS型半導体装置を提供するこ

とを目的とする。

(課題を解決するための手段)

上記の目的を達成するため、本発明の解決手段は、一導電型シリコン基板と、該シリコン基板に形成され、該シリコン基板とは反対導電型のウェルと、該ウェルに形成され、前記シリコン基板と同一導電型の第1のトランジスタ及び第2のトランジスタと、前記ウェル及び第1のトランジスタのソースが接続された第1の電源線と、前記第2のトランジスタのソースが接続された第2の電源線と、前記シリコン基板の前記ウェル以外の領域に形成され、前記シリコン基板とは反対導電型の第3のトランジスタ及び第4のトランジスタと、該第3のトランジスタのソースが接続された第3の電源線と、前記第4のトランジスタのソースが接続された第4の電源線と、前記第1のトランジスタと第3のトランジスタ、及び前記第2のトランジスタと第4のトランジスタの各々が接続されたドレインとを備え、前記第2の電源線の電位は、前記第1の電源線の電位と第3の電源線の電位と

の電位間に設定され、且つ第4の電源線の電位は、前記第2の電源線の電位と第3の電源線の電位との電位間に設定され、更に前記シリコン基板のウェル以外の領域の電位は、前記第3の電源線の電位である構成としている。

(作用)

本発明は前記した構成により、複数の電源電圧系に対応するCMOS回路をP型シリコン基板上に形成する際には、ソース電圧が異なる電源電圧である複数のPchトランジスタを同一のN型ウェル上に形成することにより、従来のように複数のN型ウェルを形成する場合でのN型ウェル間の分離領域を設ける必要がないので、複数のCMOS回路の集積度の向上を図ることができる。

同様に、複数の電源電圧系に対応するCMOS回路をN型シリコン基板上に形成する際には、ソース電圧が異なる電源電圧である複数のNchトランジスタを同一のP型ウェル上に形成することにより、従来のように複数のP型ウェルを形成する場合でのP型ウェル間の分離領域を不要にして、

複数のCMOS回路の集積度の向上を図ることができる。

その場合、第3の電源線と第4の電源線とを共通に接続して、シリコン基板のウェル以外の領域に形成する複数のトランジスタのソース電圧を同一電圧とすれば、1本の電源線を省略でき、一層の集積化が図れる。同様に、第1の電源線と第2の電源線とを共通に接続して、シリコン基板のウェル領域に形成する複数のトランジスタのソース電圧を同一電圧とすれば、前記と同様に1本の電源線を省略できる分、一層の集積化が図れる。

(実施例)

第1図は本発明の第1の実施例におけるCMOS型半導体装置の回路構成図を示す。

同図において、21は第1の電源線としての5V電源線、22は第3の電源線及び第4の電源線としての接地線、23は5Vと0Vとの間の電位を有する第2の電源線としての3.3V電源線である。

また、24は5V電源線21と接地線22間の

5V電源系のCMOSインバータを構成する第1のトランジスタとしてのPchトランジスタであって、該Pchトランジスタ24の基板電圧は5V電源線21に、またそのソースは5V電源線21に接続されている。さらに、25は5V電源系のCMOSインバータの第3のトランジスタとしてのNchトランジスタであって、そのソースは接地線22に接続されている。

また、26は3.3V電源線23と接地線22間の3.3V電源系のCMOSインバータの第2のトランジスタとしてのPchトランジスタであって、該Pchトランジスタ26の基板電圧は5V電源線21に、またそのソースは3.3V電源線23に接続されている。27は3.3V電源系のCMOSインバータを構成する第4のトランジスタとしてのNchトランジスタであって、そのソースは接地線22に接続されている。

第2図は、第1図に示したCMOS型半導体装置の回路構成図のマスク・レイアウトの第1の実施例を示す図である。一導電型シリコン基板とし

てP型シリコン基板を備え、該基板上にN型ウェルを形成し、5V電源系CMOSインバータと、3.3V電源系CMOSインバータとの二種類の回路を有している。

同図において、31はP型シリコン基板、32は該P型シリコン基板31に形成され、該P型シリコン基板31とは反対導電型、つまりN型の5V電圧のウェル、33a、33b、33c、33dはトランジスタの活性領域、34a、34b、34c、34dはゲート領域、35はN型ウェルのウェル電圧接続領域、36はコンタクト領域、37aは5V配線領域、37bは3.3V配線領域、37cは接地電圧配線領域、38a、38b、38c、38dはその他の配線領域である。

以上のCMOS型半導体装置の第1の実施例とマスク・レイアウトの第1の実施例とに基づいて、その構成をより詳細に説明する。

第1図に示したCMOS型半導体装置の回路の5V電源系のCMOSインバータのPchトランジスタ24は、5V配線領域37aからウェル接続

領域35を通じて5V電圧が供給されたN型ウェル32を基板電圧とし、ソース・ドレインとなる活性領域33aとゲート領域34aとにより構成される。

また、3.3V電源系のCMOSインバータのNchトランジスタ26も、5V配線領域37aからウェル接続領域35を通じて5V電圧が供給されたN型ウェル32を基板電圧とし、ソース・ドレインとなる活性領域33bとゲート領域34bとにより構成される。また、両CMOSインバータのNchトランジスタ25及び27は、P型シリコン基板31中、N型ウェル32以外のアース電位の領域に形成されていて、ソース・ドレインとなる活性領域33c若しくは33dと、ゲート領域34c若しくは34dとにより、各々構成される。

したがって、本実施例においては、複数の電源系を有するCMOS型半導体装置の回路において、異なる電源系に対応する複数のPchトランジスタ24、26を同一のウェル32上に設けているた

め、N型ウェルを複数形成する必要がない。その結果、従来では必須であった複数のN型ウェル間を電気的に分離する分離領域を設ける必要がない。また、従来のように複数のウェルがある場合に個々に設けていたウェル電圧供給用の接続配線を設ける必要がなくなるので、マスク・レイアウト上の面積を減らすことができ、半導体装置をより高集積化することができる。

しかも、第3の電源線と第4の電源線とを接地線22で共用化しているので、1本の電源線を省略でき、さらに高集積化が可能である。

第3図は本発明の第2の実施例におけるCMOS型半導体装置の回路構成図を示すものである。同図において、41は第1の電源線及び第2の電源線としての5V電源線、42は第3の電源線としての接地線、43は第4の電源線としての1.7V電源線である。また、44は5V電源線41と接地線42間の5V電源系のCMOSインバータのPchトランジスタであって、該Pchトランジスタ44の基板電圧は5V電源線41に接続され

ている。また、45は5V電源系のCMOSインバータのNchトランジスタであって、該Nchトランジスタ45のソースは接地線42に接続されている。更に、46は5V電源線41と1.7V電源線45間の3.3V電源系のCMOSインバータのPchトランジスタであって、該Pchトランジスタ46の基板電圧は5V電源線41に接続されている。47は3.3V電源系のCMOSインバータのNchトランジスタであって、該Nchトランジスタ47のソースは1.7V電源線43に接続されている。

第4図は、第3図に示したCMOS型半導体装置の回路のマスク・レイアウトを示す第2の実施例である。P型シリコン基板上にN型ウェルを形成し、5V電源系のCMOSインバータと3.3V電源系のCMOSインバータの二種類の回路を有している。

同図において、51はP型シリコン基板、52は5V電圧のN型ウェル、53a、53b、53c、53dはトランジスタの活性領域、54a、

54b, 54c, 54dはゲート領域、55はN型ウエルのウエル電圧接続領域、56はコンタクト領域、57aは5V配線領域、57bは接地電圧配線領域、57cは1.7V配線領域、58a, 58b, 58c, 58dはその他の配線領域である。

以上のCMOS型半導体装置の第2の実施例とマスク・レイアウトの第2の実施例とに基づいて、その構成をより詳細に説明する。

第3図に示したCMOS型半導体装置の回路の5V電源系のCMOSインバータのPchトランジスタ44は、5V配線領域57aからウエル接続領域55を通じて5V電圧が供給されたN型ウエル52中に、活性領域53aとゲート領域54aとを持つように構成されている。3.3V電源系のCMOSインバータのPchトランジスタ46も、5V配線領域57aからウエル接続領域55を通じて5V電圧が供給されたN型ウエル52中に、活性領域53bとゲート領域54bとを持つように構成されている。

第5図は本発明の第3の実施例におけるCMOS型半導体装置の回路構成図を示すものである。同図において、61は第1の電源線としての5V電源線、62は第3の電源線としての接地線、63は第2の電源線としての4.15V電源線、64は第4の電源線としての0.85V電源線である。また、65は5V電源線61と接地線62間の5V電源系のCMOSインバータのPchトランジスタであって、該Pchトランジスタ65の基板電圧は5V電源線61に接続されている。また、66は5V電源系のCMOSインバータのNchトランジスタであって、該Nchトランジスタ66のソースは接地線62に接続されている。更に、67は4.15V電源線63と0.85V電源線64間の3.3V電源系のCMOSインバータのPchトランジスタであって、該Pchトランジスタ67の基板電圧は5V電源線61に接続されている。また、68は3.3V電源系のCMOSインバータのNchトランジスタであって、該Nchトランジスタ68のソースは0.85V電源線64に

また、5V電源系及び3.3V電源系の両方のCMOSインバータのNchトランジスタ45, 47は、P型シリコン基板51中にあって、ソース・ドレインとなる活性領域53c, 53dと、ゲート領域54c, 54dとを持つように各々構成されている。

以上のように、複数の電源系を有するCMOS型半導体装置の回路において、異なる電源系に対応する複数のPchトランジスタ44, 46を同一のN型ウエル52に設けて、他にN型ウエルを形成する必要をなくしたので、従来のように2つのN型ウエル間を電気的に分離する分離領域を設ける必要がない。また、複数のウエルにウエル電位を供給するための接続配線を設ける必要がないので、余分なマスク・レイアウト上の領域を要せず、半導体装置を一層高集積化することができる。

しかも、第1の電源線と第2の電源線とを5V電源線41で共用化しているので、1本の電源線を省略でき、さらに一層の高集積化を可能にできる。

接続されている。

第6図は、前記第5図に示したCMOS型半導体回路のマスク・レイアウトの第3の実施例であって、P型シリコン基板上にN型ウエルを形成し、5V電源系のCMOSインバータと、3.3V電源系のCMOSインバータの二種類の回路を有している。同図において、71はP型シリコン基板、72は5V電圧のN型ウエル、73a, 73b, 73c, 73dはトランジスタの活性領域、74a, 74b, 74c, 74dはゲート領域、75はN型ウエル72のウエル電圧接続領域、76はコンタクト領域、77aは5V配線領域、77bは接地電圧配線領域、77cは4.15V配線領域、77dは0.85V配線領域である。また、78a, 78b, 78c, 78dはその他の配線領域である。

以上のCMOS型半導体装置を第3の実施例とマスク・レイアウトの第3の実施例とに基づいて、その構成をより詳細に説明する。

第5図に示したCMOS型半導体装置の回路の

5V電源系のCMOSインバータのPchトランジスタ65は、5V配線領域77aよりウエル接続領域75を通じて5V電圧が供給されたN型ウエル72中に、活性領域73aとゲート領域74aとを持つように構成されている。

また、3.3V電源系のCMOSインバータのPchトランジスタ67も、5V配線領域77aからウエル接続領域75を通じて5V電圧が供給されたN型ウエル72中に、活性領域73bとゲート領域74bとを持つように構成されている。

更に、5V電源系及び3.3V電源系の両方のCMOSインバータのNchトランジスタ66、68は、P型シリコン基板71中にあって、ソース・ドレインとなる活性領域73c、73dと、ゲート領域74c、74dとを持つように各々構成されている。

以上のように、複数の電源系を有するCMOS回路において、異なる電源系に対応する複数のPchトランジスタ65、67を同一のウエル72に設けて、N型ウエルを複数形成する必要をなくし

たので、複数のN型ウエル間を分離する分離領域を設ける必要がない。また、複数のウエルにウエル電圧を供給するための接続配線を設ける必要がないので、余分なマスク・レイアウト上の領域を要せず、半導体装置をより高集積化することができる。

尚、前記の第1、第2及び第3の実施例においては、各々Nchトランジスタの基板電圧を接地電圧としたが、接地電圧以外の適当な電圧を印加してもよい。

また、5V電源系より低い電源系として3.3Vを用いたが、5Vより低い電源系であって3.3Vとは異なる電源系を用いてもよいことは言うまでもなく、5V電源系より低い電源系を構成できるような複数の電源電圧を有すればよい。

更に、以上の実施例では、P型シリコン基板上にN型ウエルを形成する構成としたが、N型シリコン基板上にP型ウエルを形成する構成としてもよいことは言うまでもない。

(発明の効果)

以上説明したように、本発明のCMOS型半導体装置によれば、複数の異なる電源系に各々対応する複数の回路をシリコン基板に形成する際に、該シリコン基板とは反対導電型のウエルを複数の電源系によらず共通にしたので、従来のような複数のウエル間を分離する分離領域を不要にして、複数のCMOS回路の集積度の向上を図ることができ、その実用的効果は大きい。

#### 4. 図面の簡単な説明

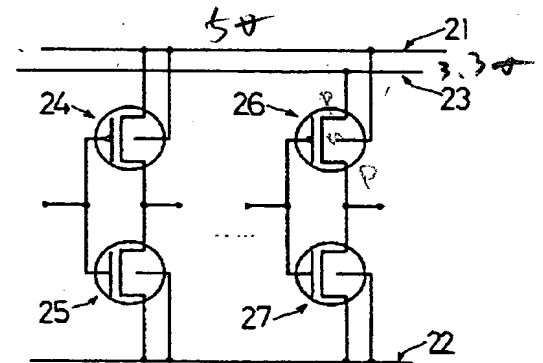
第1図は本発明の第1の実施例を示すCMOS型半導体装置の回路構成図、第2図はCMOS型半導体装置のマスク・レイアウトの第1の実施例を示す図、第3図は本発明の第2の実施例を示すCMOS型半導体装置の回路構成図、第4図はCMOS型半導体装置のマスク・レイアウトの第2の実施例を示す図、第5図は本発明の第3の実施例を示すCMOS型半導体装置の回路構成図、第6図はCMOS型半導体装置のマスク・レイアウトの第3の実施例を示す図、第7図は従来のCMOS型半導体装置を説明する回路図、第8図は従

来のCMOS型半導体装置のマスク・レイアウトを示す図である。

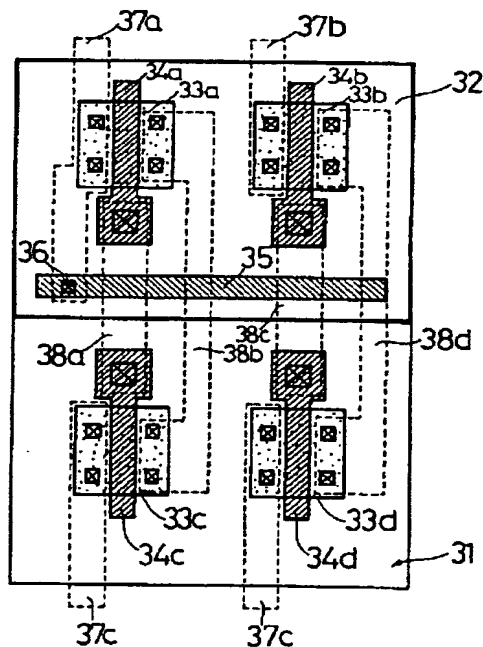
21、61…5V電源線(第1の電源線)、22…接地線(第3及び第4の共用電源線)、23…3.3V電源線(第2の電源線)、24…5V電源系のPchトランジスタ(第1のトランジスタ)、25…5V電源系のNchトランジスタ(第3のトランジスタ)、26…3.3V電源系のPchトランジスタ(第2のトランジスタ)、27…3.3V電源系のNchトランジスタ(第4のトランジスタ)、31…P型シリコン基板、32…5V電圧のN型ウエル、37a…5V配線領域、37b…3.3V配線領域、37c…接地電圧配線領域、41…5V電源線(第1及び第2の共用電源線)、42、62…接地線(第3の電源線)、43…1.7V電源線(第4の電源線)、63…4.15V電源線(第2の電源線)、64…0.85V電源線(第4の電源線)。

特許出願人 松下電子工業株式会社  
代理人 弁理士 前田 弘

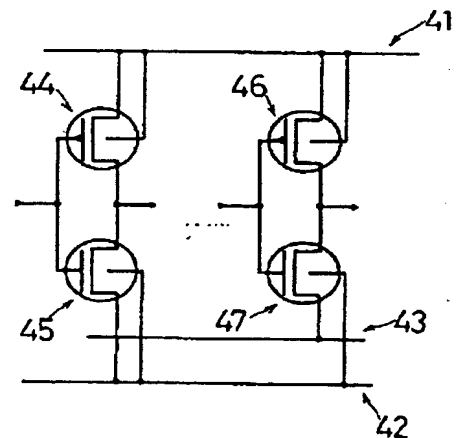
- 21, 61...5V電源線 (第1の電源線)
- 22...接地線 (第3及び第4の共用電源線)
- 23...3.3V電源線 (第2の電源線)
- 24...5V電源系のPchトランジスタ  
(第1のトランジスタ)
- 25...5V電源系のNchトランジスタ  
(第3のトランジスタ)
- 26...3.3V電源系のPchトランジスタ  
(第2のトランジスタ)
- 27...3.3V電源系のNchトランジスタ  
(第4のトランジスタ)
- 31...P型シリコン基板
- 32...5V電圧のN型ウェル
- 37a...5V配線領域
- 37b...3.3V配線領域
- 37c...接地電圧配線領域
- 41...5V電源線 (第1及び第2の共用電源線)
- 42, 62...接地線 (第3の電源線)
- 43...1.7V電源線 (第4の電源線)
- 63...4.15V電源線 (第2の電源線)
- 64...0.85V電源線 (第4の電源線)



第 1 図

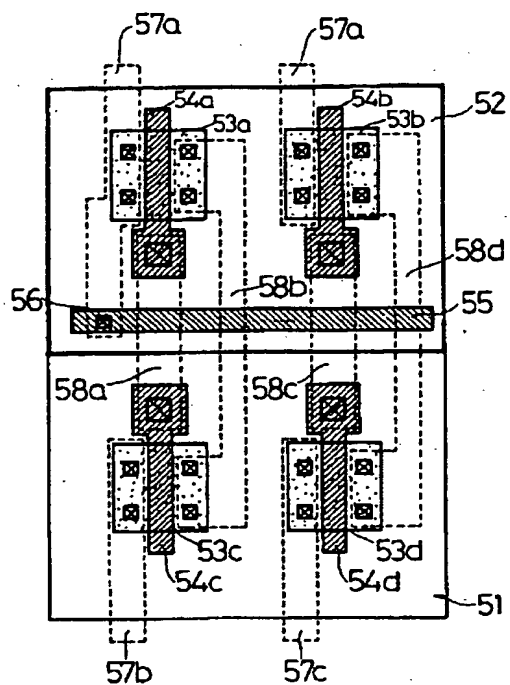


第 2 図

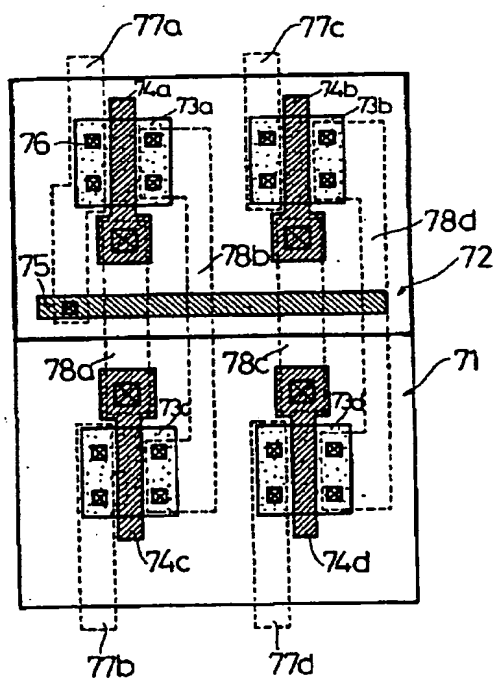


第 3 図

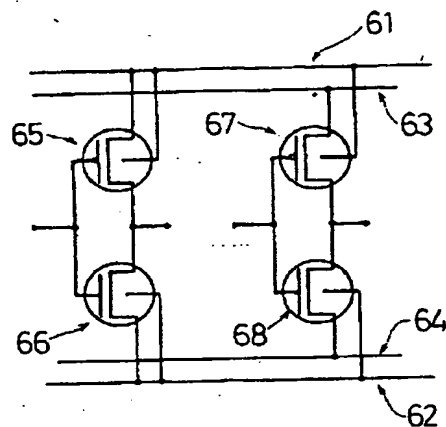




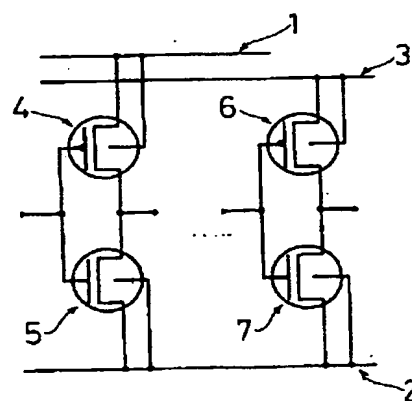
第 4 図



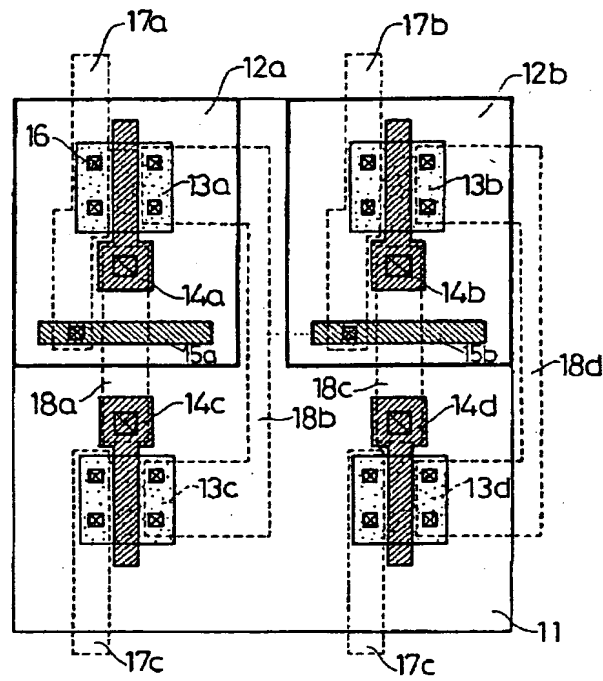
第 6 図



第 5 図



第 7 図



第 8 図